

Microprocesadores. Estructura.
Tipos. Comunicación con el
exterior.

TEMA 05

INFORMATICA

Profesores de Educación Secundaria (PES)

ABACUSNT

OPOSICIONES 2023

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

- **Decodificar** esas instrucciones, extrayendo el código de operación y dando las órdenes oportunas al resto de circuitos (internos o externos al microprocesador) para que dicha operación se realice.
- Generar los pulsos necesarios para que las instrucciones y órdenes se lleven a cabo **síncronamente**.
- Efectuar **operaciones** aritméticas y lógicas.
- **Almacenar** información temporal.

Además, el microprocesador dispone de una serie de elementos funcionales que les proporciona una mayor potencia:

- Unidad de coma flotante (FPU, Float Point Unit) para cálculos complejos.
- Unidad de gestión de memoria (MMU, Memory Management Unit)
- Diferentes niveles de caché (L1, L2, L3)
- etc.

2.2. Características

A la hora de poder comparar el rendimiento de un procesador con otro, es necesario distinguir cuales son las características que lo diferencian, y estas serán las que indiquen su potencia.

Las **características** principales que se pueden utilizar para describir un microprocesador son:

- **Frecuencia de reloj:** Frecuencia con la que se genera ciclos de reloj, los cuales son utilizados para sincronizar circuitería electrónica, se suele medir en GHz o MHz (Actualmente se determina una frecuencia base y una frecuencia máxima). Al hablar de velocidad de reloj hacemos distinción entre:
 - **Velocidad Interna:** Velocidad de trabajo del procesador con sus elementos internos. Es la que especifica el fabricante.
 - **Velocidad externa o del bus (FSB, Front Side Bus)** es la velocidad a la que el microprocesador se comunica con el resto de elementos de la placa.
- **Velocidad de ejecución de las instrucciones:** Número de instrucciones que es capaz de ejecutar en la unidad de tiempo, se mide en MIPS o MFLOPS. Es posible que varias instrucciones estén ejecutando algunas de sus fases simultáneamente si no comparten recursos hardware.
- **Número de núcleos:** Número de unidades de procesamiento independientes (CPUs) integradas en un solo microprocesador.
- **Longitud de palabra:** Cantidad máxima de información que se puede leer o escribir en un sólo acceso a o desde memoria.
- **Juego de instrucciones:** Conjunto de instrucciones que implementa, como por ejemplo x86-64. Pueden implementar conjuntos extra como MMX o SSE que se especializan en ciertas características como la multimedia.
- **Ancho del bus de direcciones:** El bus de direcciones nos permite acceder a memoria, a una posición concreta, por lo que, a mayor ancho del bus, mayor puede ser la memoria direccionada, y mayores los datos accedidos. Actualmente la mayoría de procesadores son de 32 o 64 bits.

- **Cantidad de registros y Memoria Caché:** Cuanta mayor sea la memoria rápida accesible de forma inmediata, mejor será su funcionalidad.
- **TDP (Thermal Design Power):** Promedio de la energía que disipa el procesador (muy importante, sobre todo en dispositivos móviles y portátiles).
- **Tecnología de integración:** Indica la capacidad de miniaturización del chip. A mayor integración en un mismo procesador se pueden integrar más transistores y se reduce el consumo energético. Actualmente los procesos de integración rondan los 7 nanómetros; un cabello humano tiene unos 100.000 nanómetros de grosor.

2.3. Test sintéticos (Benchmarking)

Una prueba de rendimiento o comparativa (en inglés benchmark) es una técnica utilizada para medir el rendimiento de un sistema o uno de sus componentes. Más formalmente puede entenderse que una prueba de rendimiento es el resultado de la ejecución de un programa informático o un conjunto de programas en una máquina, con el objetivo de estimar el rendimiento de un elemento concreto, y poder comparar los resultados con máquinas similares. En el ámbito de las computadoras, una prueba de rendimiento podría ser realizada en cualquiera de sus componentes, ya sea la CPU, RAM, tarjeta gráfica, etc. También puede estar dirigida específicamente a una función dentro de un componente, como la unidad de coma flotante de la CPU, o incluso a otros programas.

La tarea de ejecutar una prueba originalmente se reducía a estimar el tiempo de proceso que lleva la ejecución de un programa (medida por lo general en miles o millones de operaciones por segundo). Con el correr del tiempo, la mejora en los compiladores y la gran variedad de arquitecturas y situaciones existentes convirtieron a esta técnica en toda una especialidad. La elección de las condiciones bajo la cual dos sistemas distintos pueden compararse entre sí es especialmente ardua, y la publicación de los resultados suele ser objeto de candentes debates cuando éstos se abren a la comunidad.

3. Estructura

Bloques funcionales de la CPU

La unidad central de Proceso (CPU = Central Process Unit) unifica los elementos funcionales de Unidad de Control y Unidad Aritmético-Lógica.

3.1. Unidad de Control

Es el centro neurálgico del ordenador, donde se procesan los programas y su función consiste en realizar la **búsqueda, carga, secuenciación y ejecución** de las instrucciones.

Estas instrucciones están escritas en **Lenguaje Máquina** y están formadas por un **código de operación**, que indica a la UC qué operación debe realizarse, y por hasta **dos datos o direcciones de memoria** que indican la localización de esos datos.

Para realizar su trabajo, la UC utiliza los siguientes elementos:

Registros, entre los que cabe destacar:

- **Contador de programa.** Contiene en todo momento la dirección de memoria de la siguiente instrucción a ejecutar.
- **Registro de instrucción.** Almacena la instrucción en curso, que llevará consigo el código de operación y en su caso, los operandos o las direcciones de memoria de los mismos.
- **Registro de direcciones de memoria** Se utilizan para almacenar direcciones de memoria que contienen los datos de una instrucción o el lugar donde almacenar el resultado de la misma.
- **Registro de estado.** Contiene información sobre el resultado de la operación anterior de la unidad aritmético lógica y de posibles situaciones anómalas, como desbordamientos, interrupciones, etc.
- **Otros registros**, como los **registros genéricos** que pueden ser utilizados por los propios programas y otros **registros específicos** utilizados por el procesador (**puntero de pila**, **registro de base**, etc.) y que dependen de su arquitectura concreta.

Reloj. El reloj es un circuito oscilador que genera autónomamente una señal en forma de pulsos a intervalos constantes que marcan los instantes en que han de comenzar los distintos pasos de que consta cada instrucción.

Decodificador. Se encarga de extraer el código de operación de la instrucción en curso, analizarlo y emitir las señales necesarias al resto de elementos para su ejecución a través del secuenciador.

Secuenciador. Genera una serie de órdenes muy elementales que permiten ejecutar la instrucción en curso, de forma síncrona con el reloj del sistema.

Por último, cabe señalar que las Unidades de Control se pueden clasificar en **dos** categorías:

- **UC cableadas.** La lógica está implementada en el hardware, lo que las convierte en UC de **propósito específico** y no es modificable.
- **UC microprogramadas.** En ellas, la lógica se implementa como un programa almacenado como **firmware**, lo que permite su posterior reescritura.

3.2. Unidad Aritmético-Lógica

Es la unidad funcional encargada de realizar las operaciones aritméticas y lógicas **bajo la supervisión de la unidad de control**.

Las operaciones que puede efectuar esta unidad **solían ser muy elementales**, puesto que normalmente estaban formadas por un circuito sumador-restador, y basaban todas las operaciones aritméticas en sumas, descomponiendo las operaciones complejas en pasos elementales.

Actualmente la Unidad Aritmética ha cobrado gran importancia y el tipo de operaciones que realiza es muy complejo, siendo similar a una **calculadora científica de alta velocidad y gran precisión**.

Las operaciones que es capaz de realizar la ALU se clasifican en tres grupos:

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

Registros Temporales: Normalmente incluidos dentro del procesador para almacenar resultados intermedios de algunas operaciones. Estos registros no suelen ser accesibles por el usuario.

Registros de estado (flags): Es un registro en el cada bit o campo de bits tienen información independiente, normalmente relacionadas con el resultado de las operaciones realizadas en la ALU. A cada uno de esos bits independientes se les llama bandera (flag) y se activan o desactivan en función de la ejecución de ciertas instrucciones. Estos flags son testeados o chequeados por otras instrucciones para realizar saltos condicionales.

Los flags más comunes son los siguientes:

- Zero: Se activa si el resultado de la operación es cero.
- Carry: Se activa cuando existe un acarreo en la salida.
- Signo: Se pone a 1 si el resultado es negativo.
- Overflow: se activa cuando se produce desbordamiento, esto es, cuando el resultado se sale del rango de valores representables.
- Paridad: Cuando el número de unos del resultado es par, se activa
- Habilitación de interrupciones: activado cuando se desean permitir.
- Traza: Activación de un modo de depuración de programa
- Supervisor: a 1, el procesador trabaja en modo supervisor, esto es un modo en el que se pueden ejecutar instrucciones privilegiadas y no hay limitaciones en el acceso a datos.

3.4. Memoria Caché

Es fundamental en la arquitectura de cualquier sistema informático, ya que mejora el rendimiento almacenando los datos usados con mucha frecuencia ahorrando llamadas a la memoria RAM con sus consiguientes esperas:

- La caché es mucho más rápida que la RAM: utiliza memoria Static RAM (SRAM) que no necesita refresco por estar formada íntegramente con biestables.
- El bus que comunica RAM y microprocesador (FSB -Front Side Bus) es siempre más lento que la velocidad interna del microprocesador.

Se denominan con la letra L (de level) y un número desde el 1 en adelante a la memoria caché según si ésta se encuentra en el propio núcleo (L1), en el encapsulado, pero fuera de los núcleos (L2) o en una zona aún más periférica (L3, etc.) como por ejemplo la placa base.

3.5. Coprocesador matemático (FPU)

El microprocesador -desde el Intel 80486- incorpora una unidad para cálculos avanzados en coma flotante (FPU=Float Point Unit) relevando así a la ALU de dichos cálculos complejos.

3.6. Unidad de gestión de Memoria (MMU)

La MMU (Memory Management Unit) es la unidad encargada de traducir direcciones virtuales a direcciones físicas reales. Recordemos que los sistemas operativos trabajan actualmente con el

modo protegido del procesador, que entre otras cosas ocultan direcciones reales de subrutinas y de memoria RAM.

3.7. Unidad de predicción de salto (Branch Predictor)

Un predictor de saltos es un circuito digital utilizado en los procesadores que utilizan **segmentación** de la unidad de proceso para reducir ciclos de parada en la segmentación.

Los saltos condicionales introducen retardo en estos procesadores, ya que normalmente no se evalúa la condición del salto hasta pasadas varias etapas, lo que hace que se tenga que parar el cauce, o que se puedan introducir instrucciones en la segmentación que no deben de ser ejecutadas, teniendo que convertirse posteriormente en NOP, y decrementando así el rendimiento.

La predicción es posible anotando el comportamiento del programa en saltos anteriores.

Un predictor dinámico trabaja en tiempo de ejecución, intentando aprender el comportamiento del programa para predecir con la mínima tasa de fallos si un salto será o no tomado. Existen varios tipos dependiendo de la información que son capaces de recoger sobre el programa para hacer predicciones.

3.8. Unidad de instrucciones extendidas

Los procesadores -desde el Intel Pentium MMX- incorporan instrucciones complejas como las SSE2, para la gestión avanzada de multimedia y que hacen uso directo de esta unidad.

Últimamente están empezando a incorporar también instrucciones RISC para protección y seguridad (por ejemplo, para generar tokens en las tecnologías VPro de Intel).

3.9. Núcleos especializados y SoC

Otra tendencia de todos los microprocesadores es a transformarse en lo que se conoce como SoC, y que se emplea ampliamente en la tecnología ARM: Systems on a Chip.

De esta forma incorporan GPU Completas especializadas en gráficos (por ejemplo, Intel UHD o Nvidia GeForce) así como CPU especializadas en IA (núcleos neuromórficos)

No obstante, los microprocesadores basados en ARM van un paso más allá y pueden incorporar controladores bluetooth, wifi, sonido, etc.

3.10. Modos de funcionamiento de la CPU

3.10.1. Aritmética de segmento

Los procesadores 8086 usaban 20 bits de dirección que les permitía acceder hasta 1 MB de memoria. Sus registros internos eran de sólo 16 bits, por lo que se desarrolló un mecanismo usando registros de segmento para poder acceder al megabyte de memoria completo. En lugar de suministrar los 4 bits faltantes para direccionar los 20 bits, este procesador desplazaba el contenido del registro de

segmento 4 bits hacia la izquierda y lo suman a una dirección de memoria de 16 bits proveniente de registros índice y opcionalmente una constante, siendo el resultado la dirección efectiva.

Este modo de funcionamiento tan artificioso se intenta superar en los siguientes procesadores introduciendo el modo de funcionamiento protegido, que aísla al programador del direccionamiento real de la memoria entre otras cosas.

3.10.2. Modo Real

El modo real (también llamado modo de dirección real en los manuales de Intel) es un modo de operación del 8086 y posteriores CPUs compatibles de la arquitectura x86. El modo real está caracterizado por 20 bits de espacio de direcciones segmentado, acceso directo del software a las rutinas del BIOS y el hardware periférico, y no tiene conceptos de protección de memoria o multitarea a nivel de hardware. Todos los CPUs x86 de las series del 80286 y posteriores empiezan en modo real al encenderse el computador; los CPUs 80186 y anteriores tenían sólo un modo operacional, que era equivalente al modo real en chips posteriores.

3.10.3. Modo Protegido

El modo protegido es un modo operacional de los CPUs compatibles x86 de la serie 80286 y posteriores.

El modo protegido tiene un número de nuevas características diseñadas para mejorar la multitarea y la estabilidad del sistema, tales como la protección de memoria -incluyendo la eliminación de la aritmética de segmentos-, y soporte de hardware para memoria virtual como también la conmutación de tarea.

En el 80386 y procesadores de 32 bits posteriores se agregó un sistema de paginación que es parte del modo protegido.

La mayoría de los sistemas operativos x86 modernos se ejecutan en modo protegido.

4. Tipos de procesadores

4.1. Neumann vs Harvard

El modelo básico de arquitectura empleada en los ordenadores digitales fue establecido en **1945 por John Von Neumann**, físico húngaro afincado en Estados Unidos.

Su gran aportación con respecto a las arquitecturas preexistentes (arquitectura Harvard principalmente) fue eliminar **la lógica de programación basada en relés o conexiones cableadas**, unificando memoria de datos y memoria de programa en una **única memoria principal** y simplificando por consiguiente la doble gestión de control de datos y programa. De esta forma además se garantiza la **disponibilidad incremental de espacio** en memoria ya que este se puede dividir entre datos y programas a voluntad.

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

4.3. Núcleos microprogramados vs microcableados

A la hora de construir un núcleo de microprocesador, existen dos opciones respecto al método en el que se generan las señales de control: implementándolo a nivel físico (microcableado) o incluyendo una memoria de control que permita que un **microsoftware o firmware** (actualizable o no) sea el que determine el funcionamiento.

La diferencia principal entre la Unidad de Control Cableado y Microprogramada es que **una unidad de control cableada es un circuito secuencial que genera señales de control**, mientras que una unidad **de control microprogramada es una unidad con microinstrucciones en la memoria de control** para generar señales de control.

4.4. Según su tecnología

La tecnología de proceso, se refiere a los materiales y técnicas utilizadas en la fabricación del circuito integrado, el encapsulado se refiere a cómo se integra un procesador con lo que lo rodea en un sistema funcional, que de alguna manera determina la velocidad total del sistema.

Aunque la tecnología de proceso y de encapsulado son vitales en la elaboración de procesadores más rápidos, es la arquitectura del procesador lo que hace la diferencia entre el rendimiento de una CPU (Control Process Unit) y otra.

4.4.1. Tecnología superescalar

Superescalar es el término utilizado para designar un tipo de microarquitectura de procesador capaz de ejecutar más de una instrucción por ciclo de reloj. El término se emplea por oposición a la microarquitectura escalar que sólo es capaz de ejecutar una instrucción por ciclo de reloj. En la clasificación de Flynn, un procesador (mono núcleo) escalar es un procesador de tipo SISD, en cambio un procesador (multinúcleo) superescalar es un procesador de tipo MIMD

La tecnología Superscaling consiste en ubicar múltiples unidades de procesamiento en paralelo con el fin de procesar múltiples instrucciones por ciclo.

4.4.2. Procesamiento paralelo

Consiste en la tecnología de ejecución simultánea de instrucciones desde el mismo programa, pero en diferentes procesadores. Implica la división del programa en múltiples procesos manejados en paralelo a fin de reducir el tiempo de ejecución.

No obstante, este tipo de tecnología **necesita sincronización y comunicación entre los diversos procesos**, de manera similar a lo que puede llegar a ocurrir cuando se dividen las tareas en una empresa: se distribuye el trabajo en procesos discontinuos más pequeños que son manejados por diversos departamentos. El funcionamiento de una empresa puede verse afectado en gran medida si la comunicación entre los distintos servicios internos no funciona de manera correcta.

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

Desde la BIOS es posible limitar esta característica limitando el voltaje y prolongando así la vida útil del procesador.

Los microprocesadores cuentan además con una unidad de monitoreo térmico que mediante un sensor (DTS) determinan cual es el estado óptimo de funcionamiento o incluso si deben entrar en estado de suspensión (Cuentan con varios niveles)

4.4.7. Protección contra amenazas

4.4.7.1. Funcionamiento en modo protegido

Es un modo de funcionamiento que tienen todos los microprocesadores y que es activado por el sistema operativo al cargarse: hace que las direcciones de memoria reales estén ocultas al programador, mostrando una memoria teórica en su lugar y librándolo de los pormenores del direccionamiento de la misma. Esto impide también localizar y modificar rutinas de interrupción del sistema y alterar o suplantar el funcionamiento del mismo.

4.4.7.2. Separación de instrucciones y datos a nivel de caché.

A nivel interno, los procesadores separan claramente la caché de programa de la caché de datos, como si de una arquitectura Harvard se tratase.

4.4.7.3. Bit NX (AMD) o XD (Intel)

NX significa **No eXecute** (no ejecutar). Esta tecnología inicialmente desarrollada por AMD, se encarga de separar el área de memoria usada para albergar instrucciones del procesador de las usadas para almacenar datos. Para esto las zonas de memoria que albergan datos están marcadas por el llamado bit NX, que impide que las instrucciones del procesador no se almacenen en los segmentos de memoria reservados para datos.

Hay una implementación bastante similar con bit NX de AMD, por lo que se puede considerar que se trata de la misma tecnología.

4.4.7.4. Generador de números aleatorios

Se utilizan para tecnologías de protección de identidad, generador de tokens, y aislamiento del hardware.

4.4.8. Otras tecnologías

- Virtualización: VT-x, Vtd, etc., son tecnologías que hacen que optimizan el funcionamiento del procesador con máquinas virtuales.
- Instrucciones RISC extendidas para Multimedia e Inteligencia Artificial: MMX, AVX, SSE2.
- Protección y seguridad

ABACUSNT

Tema de muestra. Esta Página está en blanco a propósito.

5.1.1. Bus de datos:

El bus de datos permite el intercambio de datos entre la CPU y el resto de unidades.

5.1.2. Bus de direcciones:

La memoria RAM es direccionable, de forma que cada celda de memoria tiene su propia dirección. Las direcciones son un número que selecciona una celda de memoria dentro de la memoria principal o en el espacio de direcciones de la unidad de entrada/salida.

El bus de direcciones es un canal del microprocesador totalmente independiente del bus de datos donde se establece la dirección de memoria del dato en tránsito.

El bus de dirección consiste en el conjunto de líneas eléctricas necesarias para establecer una dirección. La capacidad de la memoria que se puede direccionar depende de la cantidad de bits que conforman el bus de direcciones, siendo 2^n el tamaño máximo en bits del banco de memoria que se podrá direccionar con n líneas. Por ejemplo, para direccionar una memoria de 256 bits, son necesarias al menos 8 líneas, pues $2^8 = 256$. Adicionalmente pueden ser necesarias líneas de control para señalar cuándo la dirección está disponible en el bus. Esto depende del diseño del propio bus.

5.1.3. Bus de control:

El bus de control gobierna el uso y acceso a las líneas de datos y de direcciones. Como estas líneas están compartidas por todos los componentes, tiene que proveerse de determinados mecanismos que controlen su utilización. Las señales de control transmiten tanto órdenes como información de sincronización, evitando que haya colisión de información en el sistema.

5.1.4. Buses multiplexados:

Algunos diseños utilizan líneas eléctricas multiplexadas para el bus de direcciones y el bus de datos. Esto significa que un mismo conjunto de líneas eléctricas se comportan unas veces como bus de direcciones y otras veces como bus de datos, pero nunca al mismo tiempo. Una línea de control permite discernir cuál de las dos funciones está activa.

5.1.5. Periféricos.

Los periféricos se interconectan a la unidad de E/S mediante el uso de una **interfaz** con especificaciones de acceso **estandarizadas** tanto a nivel de forma, como de voltaje y de protocolos de comunicación.

Cada periférico dispone de un **circuito controlador** (o controladora) que gestiona toda la lógica del mismo.

Las peculiaridades de cada dispositivo son gestionadas de forma transparente por el sistema operativo mediante un **software controlador (driver)** que es normalmente provisto por el propio fabricante.

Los periféricos pueden ser clasificados en dispositivos de **Entrada**, de **Salida**, o de **Entrada y Salida**; estos últimos son de tipo **almacenamiento** o **comunicación**.

5.2. Arquitectura actual de buses

5.2.1. Estructura de la placa base. El chipset

El chipset está formado por circuitos integrados en la placa base, cuya principal función es la de servir de apoyo al microprocesador en el control de los componentes de la placa base.

Los circuitos integrados que componen el chipset son los componentes más importantes de la placa base: estos determinan cuáles van a ser realmente sus capacidades y afecta de manera determinante al precio de la misma.

Normalmente es fácil distinguir estos chips porque suelen necesitar disipador (aunque no ventilador).

La arquitectura del chipset ha evolucionado y actualmente podemos encontrar placas base con uno o con dos chips que controlan el sistema de E/S, dando lugar a arquitecturas diferenciadas:

5.2.2. Arquitectura de puente norte y puente sur.

En esta arquitectura existe un bus frontal (FSB Front Side Bus) que conecta la memoria y el microprocesador a través de un chip (el puente norte), debiendo ser por tanto la velocidad de dicho bus y por ende de la memoria, un múltiplo (o submúltiplo) de la velocidad del procesador.

Puente Norte (Northbridge):

Este chip se encuentra en la parte superior de la placa, siempre próximo al socket y a los zócalos de memoria.

Trabaja a gran rendimiento, alcanza altas velocidades y, en consecuencia, altas temperaturas, por lo que suele estar cubierto por un disipador. El puente norte es el encargado de comunicar la CPU con la memoria, las ranuras de expansión encargadas de la tarjeta gráfica (AGP y PCIe x16) y con el puente sur. Esta comunicación se realiza a través del bus FSB o Hypertransport de gran velocidad.

Puente Sur (Southbridge):

Se encuentra en la parte inferior de la placa, próximo a los slots de expansión y a las conexiones de E/S.

Es el encargado de coordinar los diferentes dispositivos de entrada/salida (USB, PS/2, RS232, etc.) y unidades de almacenamiento (SATA, IDE) a través del controlador SUPER-IO; además gestiona la BIOS.

5.2.3. Arquitectura PCH

Los avances en los microprocesadores (más rápidos y de más núcleos) hacen que la conexión del FSB sea insuficiente. Como solución a este problema Intel ha sustituido el MCH (Memory Control Hub) del northbridge por el PCH (Platform Control Hub)

En esta arquitectura, el puente norte desaparece o es integrado en el microprocesador, que asumirá sus funciones (control de la memoria RAM y de la tarjeta gráfica -16 carriles PCI-e).

El puente sur es sustituido por el PCH, que asumirá todas sus funciones, además de aquellas del puente norte que no se hayan adjudicado al microprocesador.

Su canal de comunicación es el bus DMI (Direct Media Interface) con capacidad máxima de hasta 10 GBps. en la versión 1.

5.2.4. Buses del sistema

A modo de resumen, podemos enumerar los principales buses en las arquitecturas actuales:

Bus Interno: Interconecta las unidades funcionales del microprocesador.

FSB - Front Side Bus (Bus Frontal) Conecta Microprocesador con Memoria; en esquemas de puente Norte y Puente Sur está controlado por el Northbridge (Puente norte)

BSB - Back Side Bus (Bus Trasero) Conecta Microprocesador con la memoria caché.

Bus Local: Interno al microprocesador, interconecta el FSB y el BSB con los núcleos de CPU.

Bus DMI conecta puente norte y puente sur o Microprocesador y PCH, según estructura.

Bus USB: Controlados por el PCH o el Southbridge (Puente sur)

Hipertransport/Lightning Data Transport: En la arquitectura AMD, este bus es el equivalente al FSB, pero también conecta el chipset como el DMI.

6. Conclusión

La arquitectura de los ordenadores actuales está basada en principios de los años cincuenta del pasado siglo XX; no por eso es algo inamovible. Actualmente la arquitectura CISC dominante en el sector durante muchos años bajo marcas como Intel, AMD, IBM, Cyrix y otros, ha tendido a una convergencia con un modelo híbrido con RISC, siempre bajo la arquitectura Von Neuman.

Sin embargo, cobra terreno la arquitectura RISC basada en Harvard, liderada por el fabricante de núcleos ARM, y no sólo en el ámbito de los smartphones y dispositivos Android y IOS; Apple ya ha anunciado (año 2020) que comenzará a fabricar ordenadores portátiles con procesadores de su propia marca basados en ARM en lugar de utilizar chips Intel.

A pesar de todo, vemos que los principios de la arquitectura del ordenador no varían mucho de las originales, siendo estas y el modo de funcionamiento algo que no ha cambiado apenas y quizás tengamos que esperar al desarrollo de ordenadores cuánticos a gran escala para ver ese cambio.

6.1. Relación del tema con el sistema educativo actual

Este tema es aplicado en el aula en los módulos profesionales siguientes, con las atribuciones docentes indicadas (PES/SAI):

Formación profesional básica

- Montaje y Mantenimiento de sistemas y componentes informáticos (TPB en Informática de Oficina/ TPB en informática y Comunicaciones) (PES/SAI)

Grado Medio

- Montaje y Mantenimiento de Equipos (SMR) (PES/SAI)

Grado Superior

- Sistemas informáticos (DAM / DAW) (PES/SAI)
- Fundamentos de hardware (ASIR) (PES/SAI)
- Lenguajes de Marcas y Sistemas de Gestión de la Información (DAW - DAM -ASIR) (PES)

7. Bibliografía

- De Anasagasti, Miguel. “Fundamentos de la Computadora” 9ªed 2004 Edit. Paraninfo
- Patterson D.A. y Hennessy JL. “Estructura y diseño de computadoras: la interfaz hardware/software” 4ª Ed. (2005) Edit. McGraw-Hill
- Prieto A, Lloris A, Torres JC. “Introducción a la Informática” 4ªed. (2006) edit. McGraw-Hill
- Stallings W. “Organización y Arquitectura de Computadoras” (2006) 5ª Ed. Edit. Prentice-Hall
- Ramos A, Ramos MJ y Viñas S “Montaje y Mantenimiento de Equipos” (2012). Edit. McGraw-Hill
- Jiménez Cumbreñas, Isabel M.ª “Sistemas Informáticos” 2ªEd (2018) Edit. Garceta
- Moreno Pérez, JC. “Fundamentos del Hardware” (2019) Edit. Síntesis
- Gallego Cano JC y Otros. “Montaje y Mantenimiento de Equipos y Componentes Informáticos” 2018 Edt.Editex.